

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-102169

(43)Date of publication of application : 13.04.2001

(51)Int.Cl.

H05B 33/06

G09F 9/30

H05B 33/14

H05B 33/26

(21)Application number : 11-281792

(71)Applicant : SANYO ELECTRIC CO LTD

(22)Date of filing : 01.10.1999

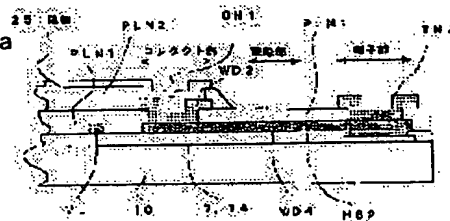
(72)Inventor : OKUYAMA MASAHIRO  
FURUMIYA NAOAKI

## (54) EL DISPLAY

### (57)Abstract:

PROBLEM TO BE SOLVED: To prevent lowering of voltage applied to anode and prevent deterioration of display grade

SOLUTION: A wide part WD4 is mounted on an anode and a wide part WD3 is mounted on wiring HS2 extended from a cathode terminal TN2. A conductive material 100 formed of oxides is intervened therein to contact an anode 25 in a contact CN1 having large size.



## LEGAL STATUS

[Date of request for examination]

02.06.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

**\* NOTICES \***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

**CLAIMS**

---

[Claim(s)]

[Claim 1] It is EL display which has the terminal block formed in the end of the substrate which has insulation, the display pixel field which consists of two or more EL elements on said substrate, and the upper electrode used as one electrode of two or more of said EL elements, and is characterized by connecting said upper electrode with said terminal electrically between said terminal block and said display pixel field.

[Claim 2] It is EL display characterized by to have the terminal block formed in the end of the substrate which has insulation, the display pixel field which consists of two or more EL elements on said substrate, and the upper electrode used as one electrode of two or more of said EL elements, to connect said upper electrode with wiring which extends from said terminal block, and to prepare the electrode which consists of an oxide between said upper electrodes and said wiring.

[Claim 3] It is the EL display characterized by to have the upper electrode used as the terminal block formed in the end of the transparence substrate which has insulation, the display pixel field which consists of two or more EL elements on said transparence substrate, and the cathode of two or more of said EL elements, to connect said upper electrode with wiring which extends from said terminal block, and to prepare the transparent electrode which is the same ingredient as the anode plate of said EL element between said upper electrodes and said wiring.

[Claim 4] Said wiring is EL display given in either of claim 1 to claims 3 characterized by consisting of the same ingredient as wiring which drives said EL element, changing with wiring in broad electrically connected with said two or more terminals, and connecting said upper electrode and said wiring electrically through a broad contact hole.

---

[Translation done.]

**\* NOTICES \***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

**DETAILED DESCRIPTION**

---

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the electroluminescence display equipped with the

electroluminescent element and the thin film transistor.

[0002]

[Description of the Prior Art] In recent years, researches and developments of EL display equipped with the thin film transistor ("TFT" is called below Thin Film Transistor..) as a switching element which it is observed [ switching element ] as a display which EL display using an electroluminescence ("EL" is called below Electro Luminescence..) component replaces with CRT or LCD, for example, makes the EL element drive are also furthered.

[0003] The display pixel of an organic electroluminescence display is shown in drawing 8 , the sectional view which met drawing 9 at the A-A line of drawing 8 is shown, and the sectional view which met drawing 10 at the B-B line of drawing 8 is shown.

[0004] The display pixel is formed in the field surrounded by the gate line GL and the drain line DL as shown in drawing. It has 1st TFT1 which is a switching element near the intersection of both signal lines, and the source of TFT1 is connected to the gate 15 of 2nd TFT4 which drives an organic EL device while it serves as the retention volume electrode 2 and the capacity electrode 3 which constitutes capacity. The source of 2nd TFT4 is connected to the anode plate 6 of an organic EL device, and the drain of another side is connected to drive Rhine VL which drives an organic EL device.

[0005] Moreover, said retention volume electrode 2 consists of chromium etc., is superimposed on the source of 1st TFT1, and the capacity electrode 3 of one through the upper gate dielectric film 7, and is accumulating the charge by using said gate dielectric film 7 as a dielectric layer. This retention volume 8 holds the electrical potential difference impressed to the gate 5 of 2nd TFT4.

[0006] Then, it explains, referring to drawing 9 and drawing 10 about 1st TFT1 for switching.

[0007] The 1st gate electrode 11 which consists of refractory metals, such as chromium (Cr) and molybdenum (Mo), is formed on the transparent insulating substrate 10 which consists of quartz glass, alkali free glass, etc. first. This 1st gate electrode 11 has extended [ two or more ] right and left in the gate line GL and one like drawing 8 . Moreover, on the right of the 1st gate electrode 11 of drawing 9 , the retention volume electrode 2 made from the same process as the 1st gate electrode 11 is formed. Since this retention volume electrode 2 constitutes capacity like drawing 8 , it has the expanded part between 1st TFT1 and 2nd TFT4, and these consist of retention volume Rhine CL and one which extended right and left.

[0008] Then, the 1st active layer 12 which consists of polycrystalline silicon (p-Si is called.) film through gate dielectric film 7 is formed. As for this active layer 12, LDD (Lightly Doped Drain) structure is adopted. That is, a low concentration field is established in the both sides of the gate, and, outside, a high-concentration source field and a high-concentration drain field are prepared further. The stopper insulator layer 13 is formed on said active layer 12. This stopper insulator layer 13 is ion-implantation inhibition film to an active layer 12, and consists of Si oxide film here.

[0009] And on gate dielectric film 7, the active layer 12, and the stopper insulator layer 13, the drain line DL which changes is electrically connected with the drain electrode through the contact hole C1 which the interlayer insulation film 14 with which the laminating of SiO<sub>2</sub> film, the SiN film, and the SiO<sub>2</sub> film was carried out to order was formed, and was established in the drain. Furthermore, in order to make surface irregularity flat, the flattening film PLN which consists of organic resin is formed in the whole surface. Since EL display is a current drive, it must be thickness with uniform EL layer. It is because current concentration occurs in a part with thin thickness. Therefore, at least, since surface smoothness with this remarkable formation field is required, said flattening film PLN is adopted.

[0010] Next, 2nd TFT4 which drives an organic EL device is explained with reference to drawing 8 and drawing 10 .

[0011] On the insulating substrate 10 mentioned above, the 2nd gate electrode 15 of the same ingredient as said 1st gate 11 is formed, and the 2nd active layer 16 is formed through gate dielectric film 7. On the active layer, the stopper insulator layer 17 is formed like the above-mentioned.

[0012] In said active layer 16, the source field and drain field of p mold impurity are established in the

gate electrode 15 upper part at the both sides of the channel which is genuineness genuineness or substantially, and this channel, and p mold channel TFT is constituted.

[0013] And the interlayer insulation film 14 mentioned above is formed in the whole surface. And drive Rhine VL is electrically connected through the contact hole C2. Furthermore, the flattening film PLN mentioned above is formed in the whole surface, and the source is exposed to it by the contact hole C3. And the transparent electrode (anode plate of an organic EL device) 6 which consists of ITO (Indium Thin Oxide) through this contact hole is formed.

[0014] An organic EL device 20 Said anode plate 6, MTDATA The 1st hole transportation layer 21 which consists of (4 and 4-bis(3-methylphenylphenylamino) biphenyl), and TPD ( ) [ 4, 4, ] [ 4-tris(3-methylphenylphenylamino) triphenylani ] The light emitting device layer EM which consists of an electronic transportation layer 24 which consists of the 2nd hole transportation layer 22 which consists of ne), the luminous layer 23 which consists of Beq2 (10-[benzo h] quinolinol-beryllium complex) containing the Quinacridone (Quinacridone) derivative, and Beq2 In this sequence, the cathode 25 which consists of a magnesium indium alloy is the structure by which laminating formation was carried out, and is prepared all over the parenchyma of an organic EL device.

[0015] The hole poured in from the anode plate 6 and the electron poured in from cathode 25 recombine the luminescence principle of an organic EL device, and actuation inside a luminous layer EM, and they excite the organic molecule which forms a luminous layer EM, and generate an exciton. Light is emitted from a luminous layer in the process in which this exciton carries out radiation deactivation, and from a transparent anode plate, this light is emitted to the exterior through a transparence insulating substrate, and emits light.

[0016] Thus, it is accumulated in retention volume 8 and impressed by the gate 15 of 2nd TFT4, and according to the electrical potential difference, the charge supplied from the source S of 1st TFT1 carries out the current drive of the organic EL device, and emits light.

[0017]

[Problem(s) to be Solved by the Invention] However, the cathode 25 for driving an organic EL device, as shown in drawing 10 was formed all over the display pixel field, and was electrically connected with the terminal arranged at the end of the transparence substrate 10.

[0018] The potential of DC or AC is given from the exterior, and, especially as for the cathode 25, a current flows between an anode plate 6 and cathode 25. Therefore, when contact resistance of wiring connected with cathode 25 or cathode and wiring resistance were strong, there was a problem on which the bias given to cathode falls to and display grace is reduced.

[0019]

[Means for Solving the Problem] The upper electrode which this invention is made in view of the above-mentioned technical problem, and turns into [ 1st ] one electrode of an EL element is solved by connecting with said terminal electrically in the field located between said terminal block and said display pixel field.

[0020] The upper electrode is connected with wiring which extends from said terminal block the 2nd, and it solves between said upper electrodes and said wiring by the electrode which consists of an oxide being prepared.

[0021] The upper electrode is connected with wiring which extends from said terminal block the 3rd, and it solves between said upper electrodes and said wiring by the transparent electrode which is the same ingredient as the anode plate of said EL element being prepared.

[0022] The 4th wiring consists of the same ingredient as wiring which drives said EL element, changes with wiring in broad electrically connected with said two or more terminals, and is solved by said upper electrode and said wiring being electrically connected through a broad contact hole.

[0023] If two or more cathode terminals are prepared, a big tooth space can be arranged between these two or more cathode terminals and a display pixel field. Therefore, broad wiring can be prepared here, wiring resistance can be reduced, and since the broad contact which moreover connects said wiring with

cathode can also be formed, contact resistance can be reduced.

[0024] Moreover, although an oxide tends to be generated by the front face in order to make aluminum into the charge of a principal member, wiring is preparing the electrical conducting material which changes from an oxide to the lower layer of cathode, and can realize reduction of that the increment in contact resistance can be inhibited, and contact resistance.

[0025]

[Embodiment of the Invention] Before explaining EL display of this invention, the display pixel which constitutes the display pixel field HG shown by the dotted line of drawing 1 is explained. The part which the part by which the field which drawing 5 was what showed that of EL indicating equipment with the top view, and it was surrounded by the dotted line and carried out hatching at the point is surrounded as the field and continuous line which were formed with the gate ingredient, and hatching is not carried out was surrounded as the P-Si layer and the continuous line, and carried out hatching at the slanting point is a part which changes with a transparent electrode ingredient. Furthermore, the part by which was surrounded as the continuous line and hatching was carried out by the slanting line is a part formed with the metallic material which makes aluminum the charge of a principal member.

[0026] Drawing 6 is the A-A line sectional view of drawing 5, and drawing 7 is the B-B line sectional view of drawing 5. In addition, in the gestalt of this operation, 1st and 2nd TFT 1 and 4 has adopted TFT of a bottom gate mold, and uses the p-Si film as an active layer. Moreover, the gate electrodes 11 and 15 are single gate structures.

[0027] Moreover, in drawing 5, what is surrounded in the gate line GL, the drain line DL, and power-source Rhine (drive Rhine VL), and changes is called a display pixel.

[0028] With reference to drawing 5 - drawing 7, the organic electroluminescence display is explained concretely.

[0029] First, there is a transparence substrate 10 with which a front face has insulation at least. With the gestalt of this operation, in order to protect an EL element from moisture, it is installed in the top face so that a metal cap (can) CAP may close EL ingredient. In addition, a metal cap CAP is shown in drawing 1, and is mentioned later. Since this metal cap CAP is installed, in order to take out luminescence light from said transparence substrate 10, a substrate 10 does not need to be transparent when taking out luminescence light from the upper part, although it needs to be transparent. Here, the transparence substrate 10 which consists of glass, synthetic resin, etc. is adopted.

[0030] On this transparence substrate 10, the gate line GL is established in right and left along the top side of the 1 display pixel of drawing 5. Moreover, while the retention volume electrode 2 which acts as a lower layer electrode of retention volume 8 is formed, in order to connect this retention volume electrode 2 with each other, retention volume Rhine CL has extended right and left. Since both [ these ] Rhine GL and CL becomes in this layer, hatching of them has been carried out at the point. Moreover, as an ingredient, since P-Si is adopted as the upper layer, refractory metals, such as Cr and Ta, are adopted. Here, about 1000-2000Å Cr is formed in sputtering. Moreover, step coverage is taken into consideration in the case of patterning, and the side side is processed into the taper configuration.

[0031] Then, the laminating of gate dielectric film 7 and the semi-conductor layer is carried out to the whole surface, and they are formed in it. Here, it is formed by plasma CVD also including a-Si which is the ingredient of the capacity electrode 3 which are said gate dielectric film 7, the 1st active layer 12, the 2nd active layer 16, and the upper electrode of retention volume 8. Specifically, about 500Å Si nitride, about 1300Å Si oxide film, and about 500Å a-Si are formed by continuation plasma CVD from a lower layer.

[0032] Dehydrogenation annealing is performed in the nitrogen-gas-atmosphere mind of about 400 degrees, and this a-Si is P-Si-ized by excimer laser after that. Moreover, signs 13 and 17 are stopper insulator layers which consist of Si oxide film, and serve as a mask at the time of the ion implantation of active layers 12 and 16. 1st TFT1 uses the 1st stopper insulator layer 13 as a mask, P (Lynn) ion is poured in, the source of N channel mold and a drain are formed, 2nd TFT4 uses the 2nd stopper

insulator layer 17 as a mask, B (boron) ion is poured in, and the source of a P channel mold and a drain are formed.

[0033] Moreover, patterning of the P-Si layer is carried out by a photolithography techniques like drawing 5. That is, the P-Si layer of 1st TFT1 is the lower part of the upper left intersection of the gate line GL and the drain line DL, and after it superimposes it on the drain line DL and it extends the upper layer of the gate electrode 11, it has extended as a capacity electrode 3 superimposed on the retention volume electrode 2. Moreover, this capacity electrode 3 extends in the right end lower layer of the connection wiring 30 used in order to connect as electrically as the gate electrode 15 of 2nd TFT4. On the other hand, the P-Si layer of 2nd TFT4 extended the upper layer of the 2nd gate electrode 15 from the lower layer of right-hand side drive Rhine VL, and has extended in the lower layer of the anode plate 6 which consists of a transparent electrode.

[0034] And the interlayer insulation film 14 is formed in the whole surface. As for this interlayer insulation film 14, 3 layer structures of about 1000Å Si oxide film, about 3000Å Si nitride, and 1000Å Si oxide film are formed by Continuation CVD from the bottom. This interlayer insulation film should just exist further at least. Thickness is not restricted to this, either.

[0035] Next, the drain line DL, drive Rhine VL, and the connection wiring 30 which carried out hatching by the slanting line of drawing 5 are formed in the upper layer of an interlayer insulation film 14. Naturally contact is formed and, as for the contact hole C1 of the drain line DL and the semi-conductor layer 12 of 1st TFT1, the contact hole C2 of drive Rhine VL and the semi-conductor layer 16 of 2nd TFT4, and the contact hole C4 of the connection wiring 30 and the capacity electrode 3, each semi-conductor layer is exposed. Moreover, since the laminating of the gate dielectric film is carried out too much unlike the above-mentioned contact hole, the contact hole C5 of the connection wiring 30 and the 2nd gate electrode 15 is etched further, and Cr is exposed. This Rhine ingredient is 7000Å aluminum and the structure where the laminating of the Mo was further carried out on it in 1000Å Mo and the upper layer at a lower layer, and Mo is a barrier layer. In addition, the contact hole C3 is mentioned later.

[0036] Furthermore, the about 1-3-micrometer flattening film PLN 1 is formed in the whole surface. This flattening film PLN 1 makes a front face flat together with adoption of the flattening film PLN 2 mentioned later. The reason is in the film for organic electroluminescence stated also in the conventional example. This film consists of the 1st hole transportation layer 21, 2nd hole transportation layer 22, luminous layer 23, and electronic transportation layer 24. moreover, a hole transportation layer — much more — since — it may be constituted. Therefore, it is the layered product of the film with an organic very thin layer. Moreover, since an EL element is a current drive, if such thickness is not extremely formed in homogeneity, a current flows in large quantities through the thin part of thickness, and this point generates degradation of the organic film, and when the worst, it will result in destruction, at the same time the luminescent spot which shines with that part particularly occurs. Therefore, in order to prevent this destruction, the whole surface including an anode plate 6 needs to be flat as much as possible. It follows, for example, acrylic liquefied resin is applied, and from having a fluidity, after being made flat, it hardens. Of course, it cannot be overemphasized that the ingredient of this flattening film PLN is not restricted to this.

[0037] Here, since the source of an anode plate 6 and 2nd TFT4 is connected, opening of the flattening film PLN 1 and the interlayer insulation film 14 is carried out, and the contact hole C3 with which the 2nd active layer 16 was exposed is formed.

[0038] Upwards \*\*\*\*\* 6 was formed and the flattening film PLN 2 is further formed in it. And the flattening film PLN 2 corresponding to an anode plate 6 is removed, and the organic film which constitutes an EL element is formed on it. First on an anode plate 6 MTDATA (4) [ 4-bis] ( ) [ 3-methylphenylphenyl ] The 1st hole transportation layer 21 which consists of aminobiphenyl and the 2nd hole transportation layer 22 which consists of TPD (4, 4, and 4-tris(3-methylphenylphenylamino) triphenylamine), Quinacridone The light emitting device layer EM which consists of an electronic transportation layer 24 which consists of the luminous layer 23 which consists of Beq2 (10-[benzo h]

quinolinol-beryllium complex) containing a derivative, and Bebq2 (Quinacridone) It is the structure where laminating formation of the cathode 25 which consists of magnesium and a silver (Ag) alloy, the alloy of aluminum and Li, or aluminum/LiF was carried out. Since the thickness of an organic layer is mentioned above, refer to it for it. Moreover, cathode 25 adopts the alloy of aluminum/LiF and the thickness is 1000–2000Å.

[0039] Although patterning of the anode plate 6 needs to be carried out for every pixel, the film on an anode plate 6 is distinguished according to structure here.

\*\* : it is the 2nd structure which patterning of the cathode 25 is not carried out in 1st structure \*\*: by which patterning is carried out for every pixel from an anode plate 6 to cathode 25, but is substantially formed by solid one throughout a viewing area.

\*\* : the 3rd structure of said solid structure where patterning only of the anode plate 6 was carried out for every pixel like drawing 1 , and it was \*\*\*\*(ed) from the upper layer of an anode plate throughout the viewing area up to cathode.

[0040] However, since patterning of the cathode 6 is not carried out specially, generally whole surface solid structure has been used for it.

[0041] Furthermore, the metal cap which covers EL layer or all EL layers of a viewing area is formed. It is because EL layer will deteriorate if water is absorbed moisture, and protection is needed to permeation of water. Therefore, EL layer is not degraded, it is good also as substitution of a cap, damp-proof high film, for example, resin film, and a metal cap CAN may be further formed on this.

[0042] The hole poured in from the anode plate 6 and the electron poured in from cathode 25 recombine the luminescence principle of an organic EL device, and actuation inside a luminous layer EM, and they excite the organic molecule which forms a luminous layer EM, and generate an exciton. Light is emitted from a luminous layer in the process in which this exciton carries out radiation deactivation, and from a transparent anode plate, this light is emitted to the exterior through a transparency insulating substrate, and emits light.

[0043] Then, with reference to drawing 3 , it explains also including the circumference of the display pixel field HG from drawing 1 . An outside continuous line is the transparency substrate 10 most. The rectangle field which shows the rectangle field shown by the dotted line by the display pixel field HG and 1 point lead line is the organic film field OR in which the 1st hole transportation layer 21, the 2nd hole transportation layer 22, and the light emitting device layer EM are formed. Moreover, the thick continuous line formed in the display pixel field HG in the lengthwise direction is drive Rhine VL, and the continuous line with the thick rectangle shown in the outside of the organic film field OR is cathode 25. Moreover, the field by which is most surrounded as two outside thick continuous lines, and hatching is carried out at the point is the seal field CLL of the metal cap (can) CAP shown in the following figure, and the field shown an outside and inside this seal field CLL by the dotted line is a field with which the 1st flattening film PLN 1 and the 2nd flattening film PLN 2 were covered. Moreover, it is Terminal TN and Wiring HS which are exposed from the metal cap (can) CAP. Therefore, the 1st flattening film PLN 1 corresponding to each terminal is removed by etching. Moreover, between the cathode 25 circumference and the seal field CLL, the vertical-drive circuit (VERTICAL DRIVER) VD connected with the gate line GL is formed in right and left, and the level drive circuit (HORIZONTAL DRIVER) HD connected with the drain line DL the top side is formed. These drive circuits-VD and HD consist of thin film transistors made by formation and coincidence of the thin film transistor which constitutes an EL element. And the vertical-drive circuit VD on either side is connected with wiring of four.

[0044] TN1 is a drive power-source input terminal, is a terminal for giving an electrical potential difference to drive Rhine VL, and these two terminals TN1 were electrically connected with the 1st wiring HS1 prolonged up, and it has extended as drive Rhine VL through the 1st broad section WD1 in which this 1st wiring HS1 was united, and was formed, and the 2nd broad section WD2. Wiring changes with the same ingredient as drive Rhine VL and the drain line DL here.

[0045] Moreover, TN2 is a cathode terminal, these three terminals TN2 are electrically connected with

the 2nd wiring HS2 prolonged up, and this 2nd wiring HS2 is connected with the 4th broad section WD4 of cathode 25 through the 3rd broad section WD3 been [ the 3rd / it ] united and formed.

[0046] Moreover, TN3 is a terminal connected to two a top through the 3rd wiring HS3 among wiring of four which connects the vertical-drive circuit VD on either side, and TN4 is a terminal connected to two the bottom among said wiring of four through the 4th wiring HS4. Since wiring of four which connects a vertical-drive circuit on either side here intersects the 1st broad section WD1, it is the part of a dotted line and has avoided the crossover using wiring formed in the lower layer. Wiring of a lower layer [ here ] is formed in the layer in which the gate was formed, and an ingredient changes with the same ingredient as the gate.

[0047] Cathode 25 is connected with the cathode terminal TN2 through the contact CN1 formed in the 3rd broad section WD3 of the 2nd wiring HS2, as x mark showed.

[0048] The description of this invention is in said contact CN1.

[0049] That is, the width of face of the cathode contact CN1 can be set as the width of face for the number by which the cathode terminal TN2 has been arranged. Moreover, the 3rd broad section WD3 which extends from the 2nd wiring HS2, and the 4th broad section WD4 which extends from cathode 25 to contact CN1 can also be set as the width of face for a number of the real cathode terminal TN2.

[0050] Therefore, from the 4th broad section WD4 connected from the cathode contact CN1 to cathode 25, and the cathode contact CN1, when the width of face of the 3rd broad section WD3 connected to the cathode terminal TN2 can set up widely, wiring resistance can be reduced. And the breadth of the cathode contact CN1 can also be substantially formed broadly by the number of the cathode terminal TN2, and the reduction of contact resistance of it is also attained. Although the cathode terminal TN2 was shown by three here, if at least two are arranged, the width of face can be expanded and reduction of contact resistance can be realized.

[0051] Moreover, drawing 2 is the sectional view of the cathode contact CN1 which met the A-A line. An arrow head is divided into the terminal area which shows three main arrangement fields and shows the field in which the cathode terminal TN2 is formed from the right, the wiring section which shows the field in which the 2nd wiring HS2 is formed, and the contact section which shows further the field in which the contact hole CN1 is formed.

[0052] A terminal is divided into three layers, a lower layer is the same ingredient as the gate or a gate line, the layer of middle is the same ingredient as the drain line DL and drive Rhine VL, and the upper layer consists of same ingredients as ITO which constitutes an anode plate 6, i.e., a transparent electrode, further.

[0053] Moreover, in the 3rd broad section WD3, the electrical conducting material which consists of an oxide after wiring is formed at least, and the contact hole CN1 is connected with cathode 25 through this electrical conducting material. Since the electrical conducting material which consists of this oxide consists of oxides, an oxide film is not formed within an oxidizing atmosphere. For example, in case wiring formed in the contact hole CN1 since heat is added in the case of hardening is exposed to an oxidizing atmosphere and the 1st flattening film PLN 1 and the 2nd flattening film PLN 2 carry out opening of the contact hole CN1, it is exposed to an oxidizing atmosphere. However, since the part to expose is not aluminum that is easy to oxidize but the oxidized electric conduction film, the oxidation beyond this does not progress. ITO can be smelled as an example of the ingredient which consists of oxides here.

[0054] According to the experiment, Mo was formed in the upper layer and a lower layer as wiring, and when 850A ITO was adopted about 8000A electric conduction film which sandwiched aluminum in the center, the cathode which consists of the alloy of about 2000A aluminum/LiF, and in between, compared with the case where ITO is not adopted, the contact resistance fell about 10%.

[0055] Moreover, the electrode which grows into the lower layer of the 3rd broad section WD3 of the contact section with the gate ingredient formed in the terminal area may be prepared. Moreover, in a terminal area, the electrode of the bottom layer which changes with a gate ingredient may be omitted.



[0056] Then, the structure which realized reduction of the further contact resistance with reference to drawing 4 is explained. Since structures are drawing 1 and real identitas, they explain only a different part here.

[0057] That is, it is the outside of the organic film field OR (or display pixel field HG) shown with an alternate long and short dash line, and they are the 5th wiring HS5 currently formed in the superposition field TD on which it is superimposed with cathode 25, and the part from which contact CN2 differs in it.

[0058] Contact CN2 is formed in this at least one superposition field TD. Although formed in one four corners each with the gestalt of this operation, more than this is sufficient, and it is still better if more than one are formed. And cathode 25 is connected with the 5th wiring HS5 through this contact CN2. Since the 5th wiring HS5 changes by the 2nd wiring HS2 and one, cathode 25 and the cathode terminal TN2 serve as structure connected electrically. Moreover, since the 5th wiring HS5 intersects the 1st broad section WD1 and the 3rd broad section WD3, it is the part shown by the dotted line, and has crossover structure. Here, in the part of a dotted line, wiring which grows into the layer in which the gate was formed with a gate ingredient was prepared, and the crossover is avoided.

[0059] Then, the sectional view ( drawing 3 ) of contact CN2 is explained. Here, it is the three-tiered structure of the same structure as the terminal area of drawing 2 , and cathode 25 is connected to this upper layer. Since the electrical conducting material 100 which consists of an oxide is inserted as mentioned above, oxidation of the electrical conducting material which prevents oxidation of the electrode which changes with the same ingredient as the drain line DL formed in the lower layer or drive Rhine VL, and consists of an oxide can also be prevented, and it has the composition that reduction of contact resistance is realizable. Moreover, although the 5th wiring HS5 consists of aluminum which changes with the same ingredient as the drain line DL or drive Rhine VL, it may prepare wiring which grows into a lower layer with a gate ingredient like the laminated structure shown by drawing 3 . Moreover, the electrical conducting material which consists of an oxide may be covered.

[0060] Here, although the electrical conducting material 100 to which only the part of contact CN2 changes from the 2nd flattening film PLN 2 with an oxide is exposed in drawing 4 , as mentioned above, the laminating of said electrical conducting material 100 may be carried out to the upper layer of the 5th wiring HS5, along with this 5th wiring HS5, the 2nd flattening film PLN 2 may be removed so that an electrical conducting material 100 may be exposed, and cathode may be connected through this removed part. Thereby, reduction of the further contact resistance is realizable.

[0061] In the above, although bottom gate mold structure has explained, this invention can be adopted also with top gate mold structure, and is explained below as a gestalt of the 2nd operation.

[0062] the flat-surface pattern of top gate mold structure — bottom gate mold structure and parenchyma — since it is the same, it substitutes for drawing 5 . Moreover, the sectional view corresponding to a B-B line for the sectional view corresponding to the A-A line of drawing 5 was shown in drawing 11 at drawing 12 . The drawing of a top gate mold makes double figures from this the same figure as the gestalt of pre-operation under the sign.

[0063] If it explains briefly, an insulating layer IL will be formed in the whole surface. 500A Si nitride is made a lower layer, and, as for this insulating layer IL, the laminating of the 1000A Si oxide film is carried out to the upper layer. In addition, Si nitride works as a stopper of the impurity eluted from glass.

[0064] Then, the semi-conductor layer (P-Si or a-Si) is formed in the active layer. 112 of 1st TFT101, the lower layer electrode of the retention volume 8 which this active layer 112 extends and changes, and the formation part of the 2nd active layer 116 of 2nd TFT104.

[0065] Furthermore, the upper electrode of retention volume 108 is formed in this layer with the same ingredient as said gate electrode at the same time the laminating of the gate dielectric film 107 is carried out to the whole surface and the gate line GL of the gate electrode 111, the gate electrode 111, and one is formed on this. The upper electrode of this retention volume 108 is equivalent to the retention volume electrode 2 of drawing 1 , and is extended and formed in right and left by one including retention volume Rhine GL. The ingredient which used as the principal component aluminum other than

the refractory metal ingredient mentioned above may be used for a gate electrode material here. As a reason which can use aluminum, it is because the low-temperature membrane formation of the interlayer insulation film 114 can be carried out in plasma CVD etc.

[0066] Moreover, the semi-conductor layer which is an active layer uses as a mask the pattern formed with said gate electrode material, and an impurity is poured in. Since there is TFT of P channels and N channel, of course, the mask of one side is carried out in a resist (this is the same also with bottom gate mold structure.). And after an impurity is poured in, patterning of the semi-conductor layer is carried out. Moreover, as for the lower layer semi-conductor layer of the retention volume electrode 102, an impurity is not poured in. However, the electrical potential difference which joins said 1st gate electrode 111, or the electrical potential difference beyond it is applied here, and it is utilizing as an electrode by making a semi-conductor layer generate a channel.

[0067] Furthermore, after the drain line DL and drive Rhine VL are formed after the interlayer insulation film 114 was formed, and the 1st flattening film PLN 1 is formed on it, a transparent electrode is formed as an anode plate 106. As for the contact C3 to this anode plate 106 and 2nd TFT104, the source electrode SE is formed in drive Rhine VL and this layer. Moreover, you may contact direct. Moreover, after an anode plate 106 is formed, in order to make gently-sloping the 1st flattening film PLN 1 and irregularity of an anode plate 106, the 2nd flattening film PLN 2 is formed and the 2nd flattening film PLN 2 corresponding to this anode plate 106 is removed.

[0068] Moreover, since EL element 20 is the same as that of the gestalt of pre-operation, explanation is omitted. Here, since it changes by 3 layer structures of the layer which grows into the upper layer of the gates 111 and 115 with the same ingredient as a drain line, and the layer which changes with a transparent electrode ingredient further, the laminated structure of the same structure as drawing 2 and drawing 3 of contacts CN1 and CN2 becomes possible. The same is said of Wiring HS.

[0069] In the gestalt of above-mentioned operation, although the p-Si film was used as semi-conductor film, semi-conductor film, such as microcrystal silicon film or amorphous silicon film, may be used.

Moreover, although the single gate mold explained, the double-gate mold TFT may be used.

[0070] Furthermore, in the gestalt of above-mentioned operation, although the organic electroluminescence display was explained, this invention is not limited to it, and can be applied also to inorganic EL display with which a luminous layer consists of an inorganic material, and the same effectiveness is acquired.

[0071]

[Effect of the Invention] Between two or more cathode terminals and a display pixel field, a big tooth space can be arranged, broad wiring can be prepared here, wiring resistance can be reduced, and since the broad contact which moreover connects said wiring with cathode can be formed, contact resistance can be reduced, so that clearly also from the above explanation.

[0072] Moreover, in order to make aluminum into the charge of a principal member, an oxide tends to be generated by the front face, but since the electrical conducting material which consists of an oxide is formed after wiring which makes this aluminum the charge of a principal member, wiring can realize reduction of contact resistance.

[0073] Therefore, descent of the bias impressed to cathode can be prevented, the current which should be supplied essentially can be supplied to the EL element of each display pixel, and EL display which improved display grace can be obtained.

---

[Translation done.]

**\* NOTICES \***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. \*\*\*\* shows the word which can not be translated.

3. In the drawings, any words are not translated.

---

**DESCRIPTION OF DRAWINGS**

---

**[Brief Description of the Drawings]**

[Drawing 1] It is drawing explaining EL display of this invention.

[Drawing 2] It is the sectional view of the A-A line of drawing 1 .

[Drawing 3] It is drawing explaining the contact CN2 of drawing 4 .

[Drawing 4] It is drawing explaining EL display of this invention.

[Drawing 5] It is a top view explaining the display pixel of EL display of this invention.

[Drawing 6] It is the sectional view of the A-A line of drawing 5 .

[Drawing 7] It is the sectional view of the B-B line of drawing 5 .

[Drawing 8] It is a top view explaining the conventional EL display.

[Drawing 9] It is the sectional view of the A-A line of drawing 8 .

[Drawing 10] It is the sectional view of the B-B line of drawing 8 .

[Drawing 11] It is the sectional view of EL display which adopted the top gate mold TFT equivalent to the A-A line of drawing 5 .

[Drawing 12] It is the sectional view of EL display which adopted the top gate mold TFT equivalent to the B-B line of drawing 5 .

**[Description of Notations]**

1 1st TFT

2 Retention Volume Electrode

3 Capacity Electrode

4 2nd TFT

6 Anode Plate

8 Retention Volume

14 Interlayer Insulation Film

20 EL Element

GL Gate line

DL Drain line

CL Retention volume Rhine

VL Drive Rhine VL

CN1 Contact

CN2 Contact

TN1-TN5 Terminal

---

[Translation done.]

**THIS PAGE BLANK (USPTO)**

(19) 日本国特許庁 (J P)

## (12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-102169

(P2001-102169A)

(43) 公開日 平成13年4月13日 (2001. 4. 13)

| (51) Int.Cl.  | 識別記号  | F I           | テ-マ-ト* (参考)     |
|---------------|-------|---------------|-----------------|
| H 0 5 B 33/06 |       | H 0 5 B 33/06 | 3 K 0 0 7       |
| G 0 9 F 9/30  | 3 3 8 | G 0 9 F 9/30  | 3 3 8 5 C 0 9 4 |
| H 0 5 B 33/14 |       | H 0 5 B 33/14 | A               |
| 33/26         |       | 33/26         | Z               |

審査請求 未請求 請求項の数4 OL (全 10 頁)

(21) 出願番号 特願平11-281792

(22) 出願日 平成11年10月1日 (1999. 10. 1)

(71) 出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目5番5号

(72) 発明者 奥山 正博

大阪府守口市京阪本通2丁目5番5号 三  
洋電機株式会社内

(72) 発明者 古宮 直明

大阪府守口市京阪本通2丁目5番5号 三  
洋電機株式会社内

(74) 代理人 100111383

弁理士 芝野 正雅

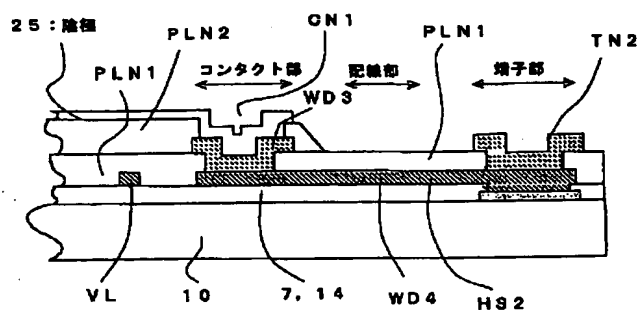
最終頁に続く

## (54) 【発明の名称】 EL表示装置

## (57) 【要約】

【課題】 陰極に印加される電圧の低減を防止し、表示品位の悪化を防止する。

【解決手段】 陰極25には、幅広部WD4を設け、カソード端子TN2から延在される配線HS2にも幅広部WD3を設ける。そしてここにサイズの大きなコンタクトCN1を形成する。またこのコンタクトCN1に於いて、酸化物から成る導電材料100を介して陰極25と接続する。



(2)

## 【特許請求の範囲】

【請求項1】 絶縁性を有する基板の一端に形成された端子群と、前記基板上の複数のEL素子から成る表示画素領域と、前記複数のEL素子の一方の電極となる上層電極とを有し、前記上層電極は、前記端子群と前記表示画素領域の間で、前記端子と電氣的に接続されていることを特徴とするEL表示装置。

【請求項2】 絶縁性を有する基板の一端に形成された端子群と、前記基板上の複数のEL素子から成る表示画素領域と、前記複数のEL素子の一方の電極となる上層電極とを有し、前記上層電極は、前記端子群から延在される配線と接続され、前記上層電極と前記配線との間には、酸化物から成る電極が設けられていることを特徴とするEL表示装置。

【請求項3】 絶縁性を有する透明基板の一端に形成された端子群と、前記透明基板上の複数のEL素子から成る表示画素領域と、前記複数のEL素子の陰極となる上層電極とを有し、前記上層電極は、前記端子群から延在される配線と接続され、前記上層電極と前記配線との間には、前記EL素子の陽極と同一材料である透明電極が設けられることを特徴とするEL表示装置。

【請求項4】 前記配線は、前記EL素子を駆動する配線と同一材料から成り、複数の前記端子と電氣的に接続された幅広中の配線で成り、前記上層電極と前記配線が幅広のコンタクト孔を介して電氣的に接続されることを特徴とする請求項1から請求項3のいずれかに記載のEL表示装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、エレクトロルミネッセンス素子及び薄膜トランジスタを備えたエレクトロルミネッセンス表示装置に関する。

## 【0002】

【従来の技術】近年、エレクトロルミネッセンス (Electro Luminescence: 以下、「EL」と称する。) 素子を用いたEL表示装置が、CRTやLCDに代わる表示装置として注目されており、例えば、そのEL素子を駆動させるスイッチング素子として薄膜トランジスタ (Thin Film Transistor: 以下、「TFT」と称する。) を備えたEL表示装置の研究開発も進められている。

【0003】図8に有機EL表示装置の表示画素を示し、図9に図8のA-A線に沿った断面図を示し、図10に図8のB-B線に沿った断面図を示す。

【0004】図に示すように、ゲートラインGLとドレインラインDLとに囲まれた領域に表示画素が形成されている。両信号線の交点付近にはスイッチング素子である第1のTFT1が備えられており、そのTFT1のソースは、保持容量電極2と容量を構成する容量電極3を兼ねるとともに、有機EL素子を駆動する第2のTFT

4のゲート15に接続されている。第2のTFT4のソースは有機EL素子の陽極6に接続され、他方のドレインは有機EL素子を駆動する駆動ラインVLに接続されている。

【0005】また、前記保持容量電極2はクロム等から成っており、上層のゲート絶縁膜7を介して第1のTFT1のソースと一体の容量電極3と重畳し、前記ゲート絶縁膜7を誘電体層として電荷を蓄積している。この保持容量8は、第2のTFT4のゲート5に印加される電圧を保持している。

【0006】続いて、スイッチング用の第1のTFT1について図9と図10を参照しながら説明する。

【0007】まず石英ガラス、無アルカリガラス等からなる透明な絶縁性基板10上に、クロム (Cr)、モリブデン (Mo) などの高融点金属からなる第1のゲート電極11が設けられている。この第1のゲート電極11は、図8のようにゲートラインGLと一体で例えば左右に複数本並行に延在されている。また図9の第1のゲート電極11の右隣には、第1のゲート電極11と同一工程で作られた保持容量電極2が形成されている。この保持容量電極2は、図8の様に容量を構成するため、第1のTFT1と第2のTFT4の間で、拡大された部分を有し、これらは左右に延在された保持容量ラインCLと一体で構成されている。

【0008】続いて、ゲート絶縁膜7を介して多結晶シリコン (p-Si と称する。) 膜からなる第1の能動層12が形成されている。この能動層12は、LDD (Lightly Doped Drain) 構造が採用されている。即ち、ゲートの両側に低濃度領域が設けられ、更に外側には、高濃度のソース領域及びドレイン領域が設けられている。前記能動層12の上には、ストッパ絶縁膜13が設けられている。このストッパ絶縁膜13は、能動層12へのイオン注入阻止膜であり、ここではSi酸化膜から成る。

【0009】そして、ゲート絶縁膜7、能動層12及びストッパ絶縁膜13上には、例えば、順にSiO<sub>2</sub>膜、SiN膜及びSiO<sub>2</sub>膜が積層された層間絶縁膜14が設けられ、ドレインに設けたコンタクトホールC1を介してドレイン電極と成るドレインラインDLが電氣的に接続されている。更に全面には、表面の凹凸を平坦にするため、例えば有機樹脂から成る平坦化膜PLNが形成されている。EL表示装置は、電流駆動なので、EL層が均一な膜厚でなければならない。膜厚が薄い部分で電流集中が発生するからである。従って少なくともこの形成領域は、かなりの平坦性が要求されるため、前記平坦化膜PLNが採用される。

【0010】次に、有機EL素子を駆動する第2のTFT4について図8と図10を参照して説明する。

【0011】前述した絶縁性基板10上には、前記第1のゲート11と同一材料の第2のゲート電極15が設け

(3)

3

られており、ゲート絶縁膜7を介して第2の能動層16が設けられている。前述と同様に能動層の上にはストップ絶縁膜17が設けられている。

【0012】前記能動層16には、ゲート電極15上方に真性又は実質的に真性であるチャンネルと、このチャンネルの両側に、p型不純物のソース領域及びドレイン領域が設けられp型チャンネルTFTを構成している。

【0013】そして全面には、前述した層間絶縁膜14が形成されている。そしてコンタクトホールC2を介して駆動ラインVLが電氣的に接続されている。更に全面には、前述した平坦化膜PLNが形成され、コンタクトホールC3によりソースが露出されている。そしてこのコンタクトホールを介してITO (Indium Thin Oxide) から成る透明電極 (有機EL素子の陽極) 6が形成されている。

【0014】有機EL素子20は、前記陽極6、MTD ATA (4,4-bis(3-methylphenylphenylamino)biphenyl) から成る第1ホール輸送層21、及びTPD (4,4,4-tris(3-methylphenylphenylamino)triphenylamine) からなる第2ホール輸送層22、キナクリドン (Quinacridone) 誘導体を含むBebq2 (10-ペンゾ[h]キノリノールベリリウム錯体) から成る発光層23及びBebq2から成る電子輸送層24からなる発光素子層EM、マグネシウム・インジウム合金から成る陰極25がこの順番で積層形成された構造であり、有機EL素子の実質全面に設けられている。

【0015】有機EL素子の発光原理および動作は、陽極6から注入されたホールと、陰極25から注入された電子とが発光層EMの内部で再結合し、発光層EMを形成する有機分子を励起して励起子を発生させる。この励起子が放射失活する過程で発光層から光が放たれ、この光が透明な陽極から透明絶縁基板を介して外部へ放出されて発光する。

【0016】このように、第1のTFT1のソースSから供給された電荷が保持容量8に蓄積され、第2のTFT4のゲート15に印加され、その電圧に応じて有機EL素子を電流駆動し、発光する。

【0017】

【発明が解決しようとする課題】ところが、図10に示すように有機EL素子を駆動するための陰極25は、表示画素領域の全面に形成され、透明基板10の一端に配置された端子と電氣的に接続されていた。

【0018】特に陰極25は、外部よりDCまたはACの電位が与えられ、陽極6と陰極25の間に電流が流れる。従って陰極25や陰極と接続される配線のコンタクト抵抗、配線抵抗が大きいと、陰極に与えるバイアスが低下し、表示品位を低下させる問題があった。

【0019】

【課題を解決するための手段】本発明は、前述の課題に鑑みてなされ、第1に、EL素子の一方の電極となる上

4

層電極は、前記端子群と前記表示画素領域の間に位置する領域で、前記端子と電氣的に接続されていることで解決するものである。

【0020】第2に、上層電極は、前記端子群から延在される配線と接続され、前記上層電極と前記配線との間には、酸化物から成る電極が設けられていることで解決するものである。

【0021】第3に、上層電極は、前記端子群から延在される配線と接続され、前記上層電極と前記配線との間には、前記EL素子の陽極と同一材料である透明電極が設けられることで解決するものである。

【0022】第4に、配線は、前記EL素子を駆動する配線と同一材料から成り、複数個の前記端子と電氣的に接続された幅広中の配線で成り、前記上層電極と前記配線が幅広のコンタクト孔を介して電氣的に接続されることで解決するものである。

【0023】複数本のカソード端子を設けると、この複数本のカソード端子と表示画素領域との間には、大きなスペースを配置することができる。従ってここに幅広の配線を設けることができ、配線抵抗を低減でき、しかも陰極と前記配線を接続する幅広のコンタクトも形成できるため、コンタクト抵抗を低減させることができる。

【0024】また配線は、Alを主材料とするため、表面に酸化物が生成されやすいが、陰極の下層に酸化物から成る導電材料を設けることで、コンタクト抵抗の増加を抑止できるばかりか、コンタクト抵抗の低減を実現できる。

【0025】

【発明の実施の形態】本発明のEL表示装置を説明する前に、図1の点線で示す表示画素領域HGを構成する表示画素について説明する。図5は、EL表示装置の平面図で示したもので、点線で囲まれ点でハッチングした領域は、ゲート材料で形成された領域、実線で囲まれハッチングされていない部分は、P-Si層、実線で囲まれ斜め点でハッチングした部分は、透明電極材料で成る部分である。更に実線で囲まれ斜め線でハッチングされた部分が、Alを主材料とする金属材料で形成された部分である。

【0026】図6は、図5のA-A線断面図であり、図7は、図5のB-B線断面図である。なお、本実施の形態においては、第1、第2のTFT1、4ともに、ボトムゲート型のTFTを採用しており、能動層としてp-Si膜を用いている。またゲート電極11、15は、シングルゲート構造である。

【0027】また図5では、ゲートラインGL、ドレインラインDLおよび電源ライン (駆動ラインVL) で囲まれて成るものを表示画素と呼ぶ。

【0028】では、図5～図7を参照し、有機EL表示装置を具体的に説明していく。

【0029】まず、少なくとも表面が絶縁性を有する透

5

明基板10がある。本実施の形態では、EL素子を水分から保護するため、メタルキャップ(カン)CAPがEL材料を封止するように上面に設置されている。尚、メタルキャップCAPは、図1に示され、後述する。このメタルキャップCAPが設置されているため発光光は、前記透明基板10から取り出すため、基板10は、透明である必要があるが、発光光を上方から取り出す場合は、透明である必要はない。ここでは、ガラスや合成樹脂などから成る透明基板10を採用している。

【0030】この透明基板10の上には、図5の一表示画素の上側辺に沿って、左右にゲートラインGLが設けられている。また保持容量8の下層電極として作用する保持容量電極2が設けられると共に、この保持容量電極2をお互いにつなぐため、保持容量ラインCLが左右に延在されている。これら両ラインGL、CLは、同層であるため、点でハッチングしてある。また材料としては、上層にP-Siを採用する理由からCrやTa等の高融点金属が採用される。ここでは、約1000~2000ÅのCrがスパッタリングにて形成されている。またパターニングの際は、ステップカバレッジが考慮され、側辺はテーパ形状に加工されている。

【0031】続いて、全面にはゲート絶縁膜7と半導体層が積層されて形成されている。ここでは、前記ゲート絶縁膜7、第1の能動層12、第2の能動層16および保持容量8の上層電極である容量電極3の材料であるa-Siも含めてプラズマCVDで形成されている。具体的には、下層より約500ÅのSi窒化膜、約1300ÅのSi酸化膜および約500Åのa-Siが連続プラズマCVDで形成される。

【0032】このa-Siは、約400度の窒素雰囲気中で脱水素アニールが行われ、その後、エキシマレーザによりP-Si化される。また符号13、17は、Si酸化膜から成るストッパ絶縁膜であり、能動層12、16のイオン注入時のマスクとなる。第1のTFT1は、第1のストッパ絶縁膜13をマスクにしてP<sup>+</sup>(リン)イオンが注入され、Nチャンネル型のソース、ドレインが形成され、第2のTFT4は、第2のストッパ絶縁膜17をマスクにしてB<sup>+</sup>(ボロン)イオンが注入されてPチャンネル型のソース、ドレインが形成されている。

【0033】また図5のように、ホトリソグラフィ技術によりP-Si層がパターニングされている。つまり第1のTFT1のP-Si層は、ゲートラインGLとドレインラインDLの左上交差部の下方で、ドレインラインDLと重畳し、ゲート電極11の上層を延在した後、保持容量電極2と重畳する容量電極3として延在されている。またこの容量電極3は、第2のTFT4のゲート電極15と電気的に接続するために用いられる接続配線30の右端下層に延在される。一方、第2のTFT4のP-Si層は、右側の駆動ラインVLの下層から第2のゲート電極15の上層を延在し、透明電極から成る陽極6

(4)

6

の下層に延在されている。

【0034】そして全面には、層間絶縁膜14が形成されている。この層間絶縁膜14は、下から約1000ÅのSi酸化膜、約3000ÅのSi窒化膜、1000ÅのSi酸化膜の三層構造が連続CVDで形成されている。この層間絶縁膜は、少なくとも一層有れば良い。膜厚もこれに限らない。

【0035】次に、層間絶縁膜14の上層には、図5の斜め線でハッチングしたドレインラインDL、駆動ラインVLおよび接続配線30が形成される。当然コンタクトが形成され、ドレインラインDLと第1のTFT1の半導体層12とのコンタクト孔C1、駆動ラインVLと第2のTFT4の半導体層16とのコンタクト孔C2、接続配線30と容量電極3とのコンタクト孔C4は、それぞれの半導体層が露出されている。また接続配線30と第2のゲート電極15のコンタクト孔C5は、前述のコンタクト孔とは異なり、ゲート絶縁膜が余分に積層されているため、更にエッチングされCrが露出されている。このライン材料は、下層に1000ÅのMo、上層に7000ÅのAl、更にその上にMoが積層された構造であり、Moは、バリア層である。尚コンタクト孔C3は、後述する。

【0036】更に約1~3μmの平坦化膜PLN1が全面に形成されている。この平坦化膜PLN1は、後述する平坦化膜PLN2の採用と一緒に表面を平坦にする。その理由は、従来例でも述べた有機EL用の膜にある。この膜は、第1のホール輸送層21、第2ホール輸送層22、発光層23及び電子輸送層24から成る。またホール輸送層は、一層から構成されても良い。従って、有機層が非常に薄い膜の積層体である。またEL素子は、電流駆動であるため、これらの膜厚が極めて均一に形成されないと、膜厚の薄い部分を介して電流が大量に流れ、その部分にひとときわ輝く輝点が発生すると同時に、このポイントは、有機膜の劣化を発生し、最悪の場合破壊に至る。従って、この破壊を防止するには、陽極6を含む全面ができるだけ平坦である必要がある。従って、例えばアクリル系の液状樹脂が塗布され、流動性を有することから、平坦にされてから硬化される。もちろんこの平坦化膜PLNの材料は、これに限らない事は言うまでもない。

【0037】ここでは、陽極6と第2のTFT4のソースが接続されるため、平坦化膜PLN1および層間絶縁膜14が開口され、第2の能動層16が露出されたコンタクト孔C3が形成されている。

【0038】更陽極6が形成された上には、更に平坦化膜PLN2が形成される。そして陽極6に対応する平坦化膜PLN2が取り除かれ、その上にはEL素子を構成する有機膜が形成されている。まず陽極6の上には、MTDATA(4,4-bis(3-methylphenylphenyl amino)biphenyl)から成る第1ホール輸送層21、及びTPD



(5)

7

(4,4,4-tris(3-methylphenylphenylamino)triphenylamine) からなる第2ホール輸送層22、キナクリドン (Quinacridone) 誘導体を含むBebq2 (10-ベンゾ

[h] キノリノールベリリウム錯体) から成る発光層23及びBebq2から成る電子輸送層24からなる発光素子層EM、マグネシウム・銀 (Ag) 合金、AlとLiの合金またはAl/LiF等から成る陰極25が積層形成された構造である。有機層の膜厚は、前述してあるのでそれを参照。また、陰極25はAl/LiFの合金を採用し、その膜厚は1000~2000Åである。

【0039】ここで陽極6は、画素毎にパターンニングされる必要があるが、陽極6の上の膜は、構造により区別される。

①：陽極6から陰極25まで画素毎にパターンニングされる第1の構造

②：①に於いて、陰極25は、パターンニングされず、実質的に表示領域全域にベタで形成される第2の構造。

③：陽極6だけが図1の様に画素毎にパターンニングされ、陽極の上層から陰極までは、表示領域全域に励精された前記ベタ構造の第3の構造。

【0040】ただし、陰極6は、わざわざパターンニングすることもないので一般には全面ベタ構造を採用している。

【0041】更に、表示領域のEL層、または全てのEL層をカバーするメタルキャップが形成されている。EL層は、水を吸湿すると劣化し、水の浸入に対して保護が必要となるからである。従ってEL層を劣化させず、耐湿性の高い膜、例えば樹脂膜でキャップの代用としても良いし、更にこの上にメタルキャップCANを形成しても良い。

【0042】有機EL素子の発光原理および動作は、陽極6から注入されたホールと、陰極25から注入された電子とが発光層EMの内部で再結合し、発光層EMを形成する有機分子を励起して励起子を発生させる。この励起子が放射失活する過程で発光層から光が放たれ、この光が透明な陽極から透明絶縁基板を介して外部へ放出されて発光する。

【0043】続いて図1から図3を参照して表示画素領域HGの周辺も含めて説明する。一番外側の実線は、透明基板10である。点線で示す矩形領域は、表示画素領域HG、一点差線で示す矩形領域は、第1ホール輸送層21、第2ホール輸送層22、発光素子層EMが形成される有機膜領域ORである。また表示画素領域HGに縦方向に形成された太い実線は、駆動ラインVLであり、有機膜領域ORの外側に示す矩形の太い実線は、陰極25である。また一番外側の二本の太い実線で囲まれ、点でハッチングされている領域は、下図に示すメタルキャップ (カン) CAPのシール領域CLLであり、このシール領域CLLの外側と内側に点線で示す領域は、第1の平坦化膜PLN1、第2の平坦化膜PLN2が被覆さ

8

れた領域である。またメタルキャップ (カン) CAPから露出しているのは、端子TNと配線HSである。従って、端子それぞれに対応する第1の平坦化膜PLN1は、エッチングにより取り除かれている。また陰極25周辺とシール領域CLLとの間には、左右にゲートラインGLと接続される垂直駆動回路 (VERTICAL DRIVER) VDが形成され、上側辺にはドレインラインDLと接続される水平駆動回路 (HORIZONTAL DRIVER) HDが形成されている。これら駆動回路VD、HDは、EL素子を構成する薄膜トランジスタの形成と同時に作り込まれた薄膜トランジスタ等から構成される。そして左右の垂直駆動回路VDは、4本の配線で接続されている。

【0044】TN1は、駆動電源入力端子であり、駆動ラインVLに電圧を与えるための端子であり、この二本の端子TN1は、上方に延びた第1の配線HS1と電気的に接続され、この第1の配線HS1が一体となって形成された第1の幅広部WD1、第2の幅広部WD2を介して駆動ラインVLとして延在されている。ここで配線は、駆動ラインVLやドレインラインDLと同一材料で成る。

【0045】またTN2は、カソード端子であり、この三本の端子TN2は、上方に延びた第2の配線HS2と電気的に接続され、この第2の配線HS2が一体となって形成された第3の幅広部WD3を介して陰極25の第4の幅広部WD4と接続されている。

【0046】またTN3は、第3の配線HS3を介して、左右の垂直駆動回路VDをつなぐ4本の配線の内、上2本と接続される端子であり、TN4は、第4の配線HS4を介して前記4本の配線の内、下2本と接続される端子である。ここで左右の垂直駆動回路をつなぐ4本の配線は、第1の幅広部WD1と交差するため、点線の部分で、下層に形成された配線を使い交差を回避している。ここで下層の配線は、ゲートが形成された層に形成され、材料は、ゲートと同一材料で成る。

【0047】陰極25は、×印で示したように、第2の配線HS2の第3の幅広部WD3に設けられたコンタクトCN1を介してカソード端子TN2と接続されている。

【0048】本発明の特徴は、前記コンタクトCN1にある。

【0049】つまりカソードコンタクトCN1の幅は、カソード端子TN2の配置された本数分の幅に設定できる。また第2の配線HS2から延在される第3の幅広部WD3、陰極25からコンタクトCN1へ延在される第4の幅広部WD4も、実質カソード端子TN2の本数分の幅に設定できる。

【0050】従ってカソードコンタクトCN1から陰極25へつなげる第4の幅広部WD4、カソードコンタクトCN1からカソード端子TN2へつなげる第3の幅広部WD3の幅が広く設定できることにより、配線抵抗を

(6)

9

低下させることができる。しかも、カソードコンタクトCN1の横幅もカソード端子TN2の本数分だけ実質的に幅広に形成でき、コンタクト抵抗の減少も可能となる。ここでカソード端子TN2を3本で示したが、少なくとも2本配置されれば、その幅を拡大でき、コンタクト抵抗の減少を実現できる。

【0051】また図2は、A-A線に沿ったカソードコンタクトCN1の断面図である。矢印は、主たる配置領域を三つ示し、右からカソード端子TN2が形成されている領域を示す端子部、第2の配線HS2が形成される領域を示す配線部、更には、コンタクト孔CN1が形成されている領域を示すコンタクト部に分かれる。

【0052】端子は、三層に分かれ、下層は、ゲートやゲートラインと同一材料で、真ん中の層は、ドレインラインDLや駆動ラインVLと同一材料で、更に上層は、陽極6、つまり透明電極を構成するITOと同一材料で構成されている。

【0053】またコンタクト孔CN1は、少なくとも第3の幅広部WD3に於いて、配線の上に酸化物から成る導電材料が形成され、この導電材料を介して陰極25と接続されている。この酸化物から成る導電材料は、酸化物で構成されるため、酸化雰囲気内で酸化膜が形成されることがない。例えば、第1の平坦化膜PLN1、第2の平坦化膜PLN2は、硬化の際に熱が加わるため、コンタクト孔CN1に形成される配線は、酸化雰囲気にならされ、またコンタクト孔CN1を開く際に、酸化雰囲気にならされる。しかし露出する部分は、酸化されやすいA1ではなく、酸化された導電膜であるため、これ以上の酸化は、進まない。ここで酸化物で構成される材料の一例としては、ITOがかかげられる。

【0054】実験によれば、配線として上層と下層にMoが形成され、中央にA1をはさんだ約8000Åの導電膜、約2000ÅのA1/LiFの合金から成る陰極、そして間に850ÅのITOを採用すると、ITOを採用しない場合に比べ、そのコンタクト抵抗は約10%も低下した。

【0055】またコンタクト部の第3の幅広部WD3の下層には、端子部に形成されたゲート材料で成る電極を設けても良い。また端子部において、ゲート材料で成る一番下層の電極を省略しても良い。

【0056】続いて、図4を参照して更なるコンタクト抵抗の低減を実現した構造を説明する。構造は、図1と実質同一であるため、ここでは、異なる部分のみを説明する。

【0057】つまり、一点鎖線で示す有機膜領域OR（または表示画素領域HG）の外側で、陰極25と重畳される重畳領域TDに形成されている第5の配線HS5、それにコンタクトCN2が異なる部分である。

【0058】コンタクトCN2は、この重畳領域TDに少なくとも一つ形成されている。本実施の形態では、四

10

隅に各一個形成されているが、これ以上でも良く、複数個形成されれば更によい。そしてこのコンタクトCN2を介して第5の配線HS5と陰極25が接続される。第5の配線HS5は、第2の配線HS2と一体で成るため、陰極25とカソード端子TN2は、電氣的に接続された構造となる。また第5の配線HS5は、第1の幅広部WD1、第3の幅広部WD3と交差するため、点線で示した部分で、クロスオーバー構造となっている。ここでは、点線の部分で、ゲートが形成された層にゲート材料で成る配線が設けられ、交差を回避している。

【0059】ではコンタクトCN2の断面図（図3）を説明する。ここでは、図2の端子部と同一の構造の3層構造であり、この上層に、陰極25が接続されている。前述したように、酸化物から成る導電材料100を挿入しているので、下層に形成されたドレインラインDLまたは駆動ラインVLと同一材料で成る電極の酸化を防止し、且つ酸化物から成る導電材料の酸化も防止でき、コンタクト抵抗の減少を実現できる構成となっている。また第5の配線HS5は、ドレインラインDLまたは駆動ラインVLと同一材料で成るA1で構成されるが、図3で示した積層構造の様に下層にゲート材料で成る配線を設けても良い。また酸化物から成る導電材料を被覆しても良い。

【0060】ここで、図4では、コンタクトCN2の部分だけ、第2の平坦化膜PLN2から酸化物で成る導電材料100を露出させているが、前述したように第5の配線HS5の上層に前記導電材料100を積層し、この第5の配線HS5に沿って、導電材料100が露出するように第2の平坦化膜PLN2を取り除き、この取り除いた部分を介して陰極を接続しても良い。これにより更なるコンタクト抵抗の低減を実現できる。

【0061】以上、ボトムゲート型構造で説明してきたが、本発明は、トップゲート型構造でも採用でき、第2の実施の形態として以下に説明する。

【0062】トップゲート型構造の平面パターンは、ボトムゲート型構造と実質同じであるので図5を代用する。また図5のA-A線に対応する断面図を図11に、B-B線に対応する断面図を図12に示した。これよりトップゲート型の図面は、符号の下二桁を前実施の形態と同じ数字にしている。

【0063】簡単に説明すれば、全面には絶縁層ILが形成される。この絶縁層ILは、下層に500ÅのSi窒化膜、上層に1000ÅのSi酸化膜が積層されたものである。尚、Si窒化膜は、ガラスから溶出する不純物のストップとして働く。

【0064】続いて、第1のTFT101の能動層112、この能動層112が延在されて成る保持容量8の下層電極、第2のTFT104の第2の能動層116の形成部分に半導体層（P-Siまたはa-Si）が形成されている。

(7)

11

【0065】更には、全面にゲート絶縁膜107が積層され、この上にゲート電極111、ゲート電極111と一体のゲートラインGLが形成されると同時に、保持容量108の上層電極が前記ゲート電極と同一材料で同層に形成されている。この保持容量108の上層電極は、図1の保持容量電極2に相当し、保持容量ラインCLも含めて一体で左右に延在して形成される。ここでゲート電極材料は、前述した高融点金属材料の他にAlを主成分とした材料を用いても良い。Alが使用できる理由として、層間絶縁膜114がプラズマCVD等で低温成膜できるからである。

【0066】また能動層である半導体層は、前記ゲート電極材料で形成されたパターンをマスクとして不純物が注入される。もちろんPチャンネルとNチャンネルのTFTがあるため、一方はレジストにてマスクされる（これはボトムゲート型構造でも同様である。）。そして不純物が注入された後に半導体層がパターニングされる。また保持容量電極102の下層の半導体層は、不純物が注入されない。しかしここに前記第1のゲート電極111に加わる電圧、あるいはそれ以上の電圧を加え、半導体層にチャンネルを発生させることで電極として活用している。

【0067】更に層間絶縁膜114が形成された後、ドレインラインDL、駆動ラインVLが形成され、その上に第1の平坦化膜PLN1が形成された後に陽極106として透明電極が形成される。この陽極106と第2のTFT104とのコンタクトC3は、駆動ラインVLと同層にソース電極SEが形成される。またダイレクトにコンタクトしても良い。また陽極106が形成された後、第1の平坦化膜PLN1と陽極106の凹凸をなだらかにするため、第2の平坦化膜PLN2が形成され、この陽極106に対応する第2の平坦化膜PLN2が取り除かれている。

【0068】またEL素子20は、前実施の形態と同様なので説明は省略する。ここでも、ゲート111、115の上層にドレインラインと同一材料で成る層、更に透明電極材料で成る層の三層構造で成るため、コンタクトCN1、CN2は、図2、図3と同一構造の積層構造が可能となる。配線HSも同様である。

【0069】上述の実施の形態においては、半導体膜としてp-Si膜を用いたが、微結晶シリコン膜又は非晶質シリコン膜等の半導体膜を用いても良い。またシングルゲート型で説明したがダブルゲート型TFTでも良い。

【0070】更に、上述の実施の形態においては、有機EL表示装置について説明したが、本発明はそれに限定されるものではなく、発光層が無機材料から成る無機EL表示装置にも適用が可能であり、同様の効果が得られ

12

る。

【0071】

【発明の効果】以上の説明からも明らかなように、複数本のカソード端子と表示画素領域との間には、大きなスペースを配置することができ、ここに幅広の配線を設けることができ、配線抵抗を低減でき、しかも陰極と前記配線を接続する幅広のコンタクトが形成できるため、コンタクト抵抗を低減させることができる。

【0072】また配線は、Alを主材料とするため、表面に酸化物が生成されやすいが、このAlを主材料とする配線の上には、酸化物から成る導電材料が形成されるため、コンタクト抵抗の低減を実現できる。

【0073】従って、陰極に印加されるバイアスの降下を防止でき、本来供給されるべき電流を各表示画素のEL素子に供給することができ、表示品位を向上したEL表示装置を得ることができる。

【図面の簡単な説明】

【図1】本発明のEL表示装置を説明する図である。

【図2】図1のA-A線の断面図である。

【図3】図4のコンタクトCN2を説明する図である。

【図4】本発明のEL表示装置を説明する図である。

【図5】本発明のEL表示装置の表示画素を説明する平面図である。

【図6】図5のA-A線の断面図である。

【図7】図5のB-B線の断面図である。

【図8】従来のEL表示装置を説明する平面図である。

【図9】図8のA-A線の断面図である。

【図10】図8のB-B線の断面図である。

【図11】図5のA-A線に相当するトップゲート型TFTを採用したEL表示装置の断面図である。

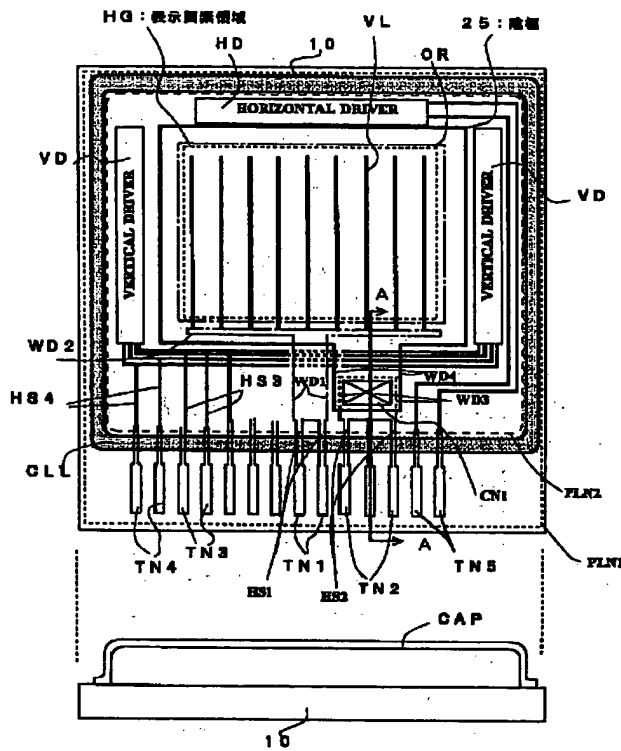
【図12】図5のB-B線に相当するトップゲート型TFTを採用したEL表示装置の断面図である。

【符号の説明】

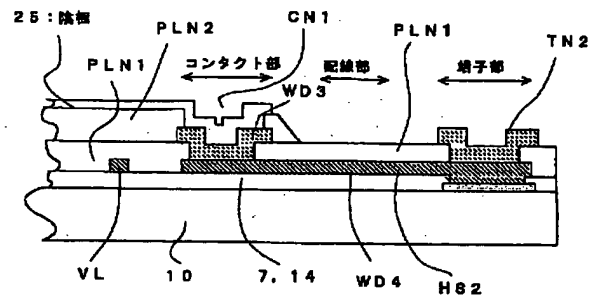
|         |         |
|---------|---------|
| 1       | 第1のTFT  |
| 2       | 保持容量電極  |
| 3       | 容量電極    |
| 4       | 第2のTFT  |
| 6       | 陽極      |
| 8       | 保持容量    |
| 14      | 層間絶縁膜   |
| 20      | EL素子    |
| GL      | ゲートライン  |
| DL      | ドレインライン |
| CL      | 保持容量ライン |
| VL      | 駆動ラインVL |
| CN1     | コンタクト   |
| CN2     | コンタクト   |
| TN1～TN5 | 端子      |

(8)

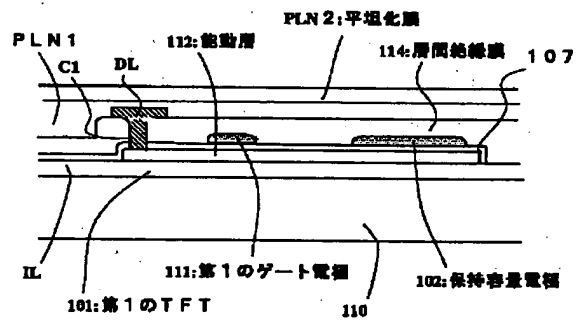
【図 1】



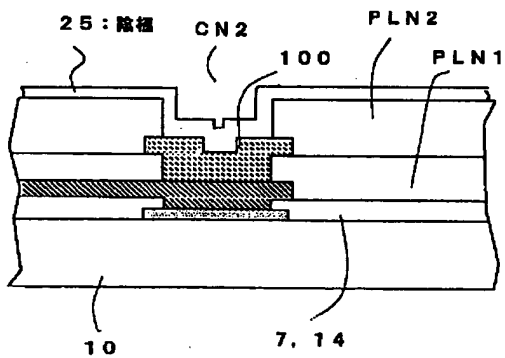
【図2】



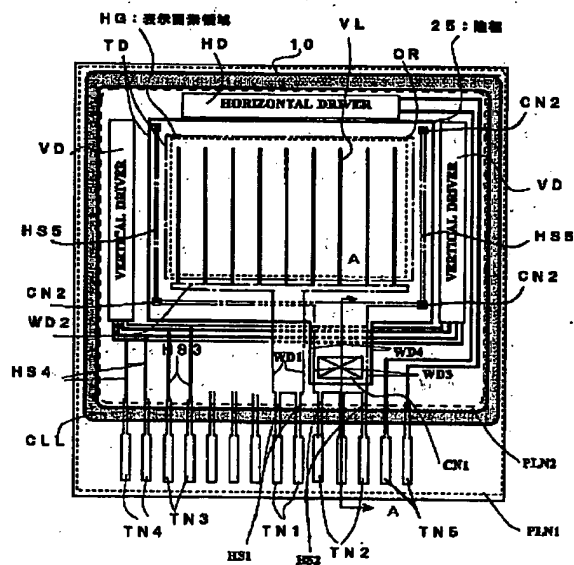
【図 1 1】



【図 3】

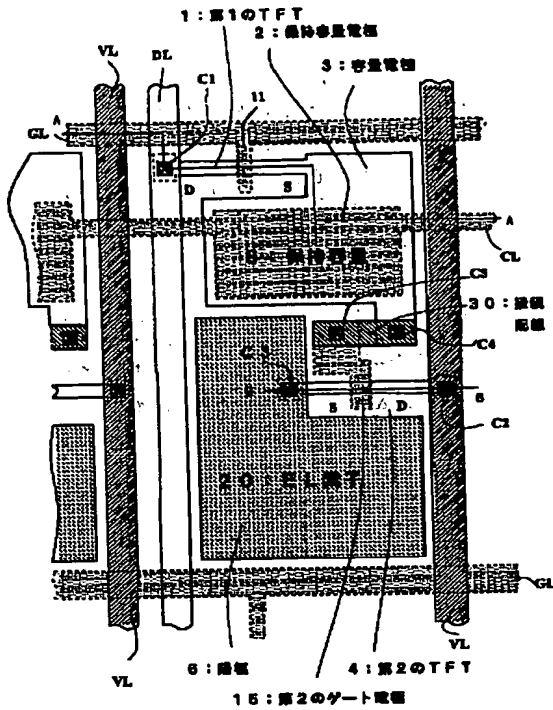


【図 4】

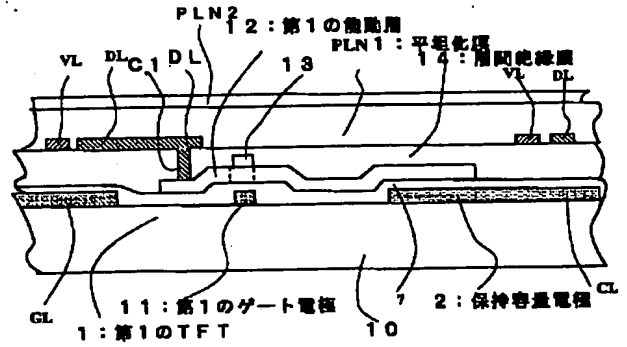


(9)

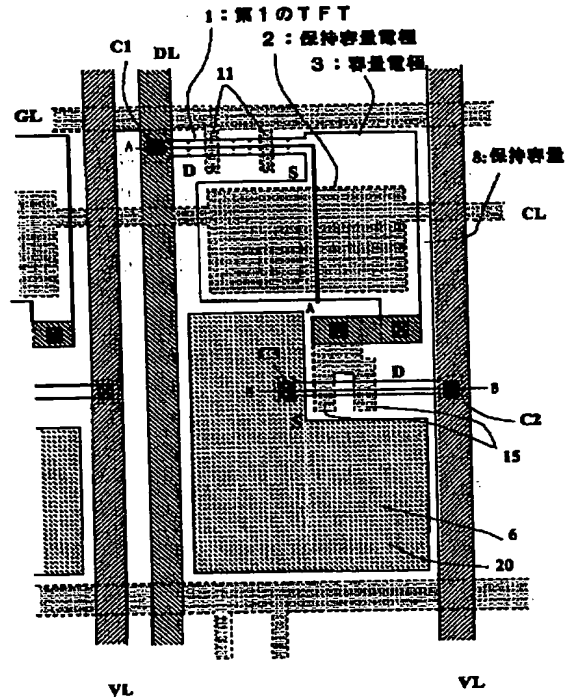
【図5】



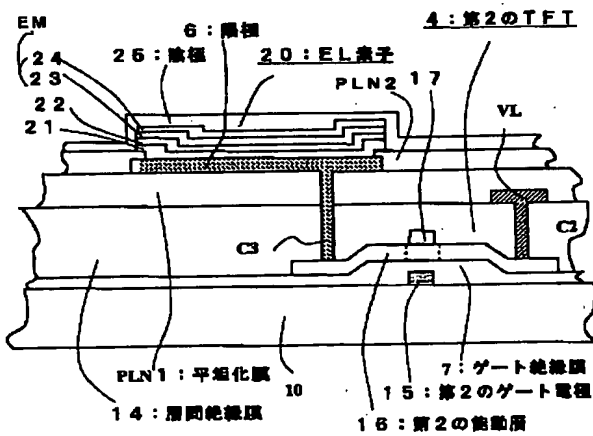
【図6】



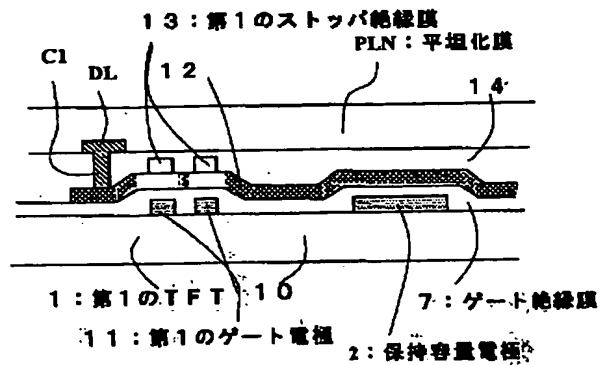
【図8】



【図7】

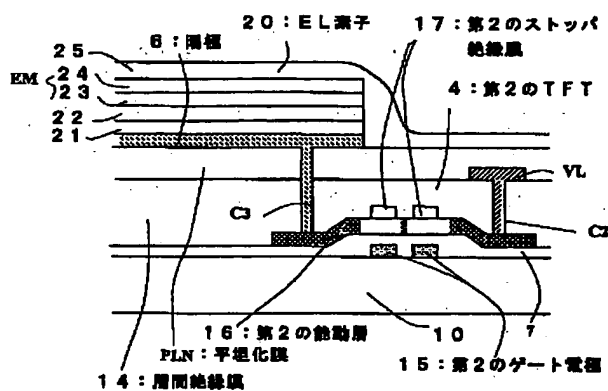


【図9】

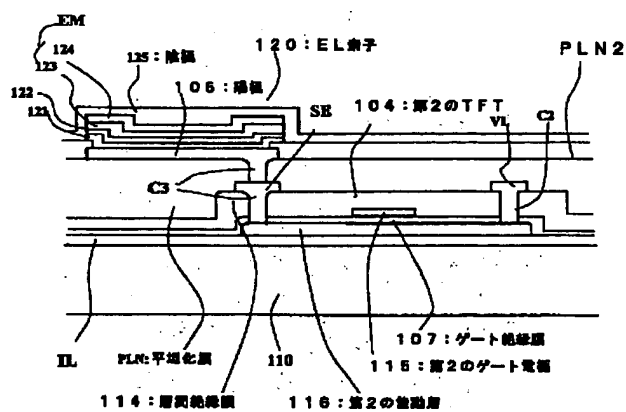


(10)

【図 10】



【图 12】



## フロントページの続き

|          |       |      |      |      |      |      |
|----------|-------|------|------|------|------|------|
| Fターム(参考) | 3K007 | AB05 | AB13 | BA06 | BB01 | CA01 |
|          |       | CA05 | CB01 | CB03 | DA00 | DB03 |
|          |       | EB00 | FA01 | FA02 |      |      |
|          | 5C094 | AA21 | AA38 | AA60 | BA03 | BA27 |
|          |       | CA19 | DA09 | EA05 | EB02 | HA08 |